

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-261069

(43)Date of publication of application : 24.09.1999

(51)Int.Cl.

H01L 29/78  
H01L 21/8238  
H01L 27/092

(21)Application number : 10-377032

(71)Applicant : TEXAS INSTR INC &lt;TI&gt;

(22)Date of filing : 07.12.1998

(72)Inventor : MARK S RODDER  
NANDAKUMAR MAHALINGAM

(30)Priority

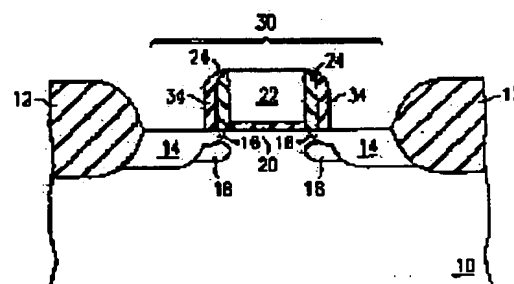
Priority number : 97 67660 Priority date : 05.12.1997 Priority country : US

**(54) IMPROVED CMOS HAVING USEFULNESS OF LOW CGD, IMPROVED DOPING PROFILE AND SIDEWALL PROCESS/METHOD OF INJECTION FOR NON-SENSITIVITY AGAINST CHEMICAL PROCESSING**

(57)Abstract:

**PROBLEM TO BE SOLVED:** To form the doping of a peak below a channel surface and to reduce extension in the lateral direction of a pocket with high concentration by executing injection with an angle in the pocket area of a second conduction type in a semiconductor main body at the lower part of an injection inhibition structure and forming the pocket in the semiconductor main body.

**SOLUTION:** Pocket areas 18 are doped in a method opposite to drain extension areas 16. In the case of an n-type transistor, the areas are p-types. The peak concentration of the pocket areas 18 has a prescribed distance with considerable extension from the surface of a substrate 10 and/or the extension of the lateral direction of the high concentration pocket on a channel surface extending to a channel area from the inner part of a drain diffusion area is reduced. Thus, reduced threshold voltage rolling-off, a reduced nominal value  $V_t$  and improve nominal driving current are maintained. Reinforced dopant scattering owing to raised dopant covering large extension in the lateral direction near the channel surface can considerably be reduced.

**LEGAL STATUS**

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-261069

(43) 公開日 平成11年(1999) 9月24日

(51) Int.Cl.<sup>5</sup>H 0 1 L 29/78  
21/8238  
27/092

識別記号

F I

H 0 1 L 29/78  
27/08  
29/783 0 1 H  
3 2 1 E  
3 0 1 S

審査請求 未請求 請求項の数 2 書面 (全 8 頁)

(21) 出願番号 特願平10-377032

(22) 出願日 平成10年(1998)12月7日

(31) 優先権主張番号 0 6 7 6 6 0

(32) 優先日 1997年12月5日

(33) 優先権主張国 米国 (US)

(71) 出願人 590000879

テキサス インスツルメンツ インコーポ  
レイテッドアメリカ合衆国テキサス州ダラス, ノース  
セントラルエクスプレスウェイ 13500

(72) 発明者 マーク エス. ロッター

アメリカ合衆国 テキサス州ユニバーシテ  
ィ パーク, パーデュー ストリート  
3317

(72) 発明者 マハリンガム ナンダクマル

アメリカ合衆国 テキサス州リチャードソ  
ン, ウォータービュー パークウェイ  
2200, アパートメント ナンバー2338

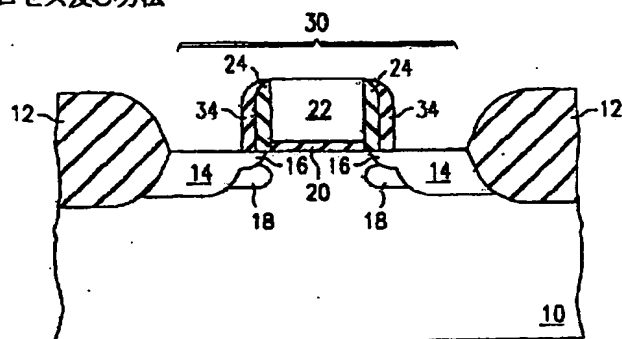
(74) 代理人 弁理士 浅村 皓 (外3名)

(54) 【発明の名称】 低CGDの有益性を有する改良型CMOS、改良したドーピングプロファイル、及び化学的処理  
に対する非鋭敏性のための注入の側壁プロセス及び方法

(57) 【要約】

【課題】 短チャネル効果を低減するのと同様に、チャネル表面の下方にドーピングピークを有して配置されるポケットを含むこと及び1又はドレイン拡張領域内部からチャネル領域への横方向の広がり長さが低減されたチャネル表面で高濃度のポケットドーピングを含むことによる改良した表面移動度を有するトランジスタ及び2の製造方法を提供すること。

【解決手段】 エッジ阻止材料(24)はゲート電極(22)または不処分ゲート構造体に隣接して位置し得るか、または不処分ゲート構造体の一部分であり得る。角度を付けたポケット注入の際、エッジ阻止材料(24)は多少のドーパントが半導体本体(10)に侵入することを阻止し、エッジ阻止材料の下方にあるポケット領域(18)は半導体本体(10)の表面下方に所定の距離を置いて位置している。



**【特許請求の範囲】**

**【請求項1】** トランジスタを製造する方法において、半導体本体上に注入阻止構造体を形成する段階であって、前記注入阻止構造体がゲート電極を形成すべき場所に隣接する領域を少なくともカバーしてなる前記段階と、

前記注入阻止構造体に隣接する前記半導体本体に第1の導電型の第1のドーピング領域を形成する段階と、前記注入阻止構造体の下方に少なくとも部分的にある前記半導体本体の第2の導電型のポケット領域に角度を付けた注入を行って、前記半導体本体にポケットを形成する段階と、を具備したことを特徴とする前記方法。

**【請求項2】** 半導体本体を覆うゲート電極と、前記ゲート電極に隣接する第1の側壁スペーサであって、前記半導体本体よりも低い注入範囲を有する材料を備えてなる前記第1の側壁スペーサと、前記第1の側壁スペーサに対して一般に位置合せされた前記半導体本体中に位置する第1の導電型のドレイン拡張領域と、前記第1の側壁スペーサの下方に少なくとも部分的にあると共に、前記半導体本体の表面から一定の距離を保ってピーク濃度を有する第2の導電型のポケット領域と、を具備したことを特徴とするトランジスタ。

**【発明の詳細な説明】****【0001】**

**【発明の属する技術分野】** この発明は一般にCMOSトランジスタの分野に関し、特に、CMOSトランジスタ用の側壁プロセスに関する。

**【0002】**

**【従来の技術及びその課題】** 半導体装置がより小寸法に縮小化されるにつれて、一般に $0.1\mu\text{m}$ 等のサブミクロン領域においては、高い駆動電流及び小型で短いチャネル効果（即ち、低減したしきい値電圧ロールオフ）を有するトランジスタを製造することが増々困難となってきた。そのために、ポケット注入プロセスが実施されてきており、この結果、しきい値電圧（ $V_t$ ）ロールオフの低減、公称値 $V_t$ の低減、及び公称の駆動電流の改善が図られている。このポケット注入プロセスは、ソース／ドレイン（及び／又はソース／ドレイン拡張）領域に対して使用する型とは反対のドーパントの領域（本願では、ポケット領域と称する）が、ソース／ドレイン（及び／又はソース／ドレイン拡張）領域に隣接して形成される。ポケット領域の横方向への広がりにはMOSFETのチャネル長を一般に下回っており、このためポケットを形成することによって、ソース及び／又はドレイン及び／又はドレイン拡張領域からチャネル領域の内部にかけてドーパント領域は横方向に不均一になってしまう。ポケット注入は短チャネル効果を低減し得るが、このポケット注入はドレイン拡張（及び／又はソース拡張）領域の先端に最も近いチャネル表面ドーピングをチャ

ネル領域の内部に対して可成り横方向に広がりを持たせてしまう。このことは順次、ドーパント散乱のために表面移動度を低下させる。このため、駆動電流はより低い公称値 $V_t$ に起因するポケット注入によって改善されるが、この駆動電流は高められたドーパント散乱に起因し得る程には改善されない。

**【0003】** また、ソース及び／又はドレイン拡張領域（以下において、「ドレイン拡張領域」と称する）のドーピングプロセスが実施されてきて、この結果、ソース及び／又はドレイン拡張領域の寄生抵抗の低減、 $V_t$ ロールオフの低減、及び公称の駆動電流の改善が図られている。低寄生抵抗及び低 $V_t$ ロールオフの双方を達成するために、ドレイン拡張領域は十分な接合深さであって、ドレイン拡張領域の小さなゲートオーバーラップを有する低寄生抵抗を考慮しなければならない。

**【0004】** 従って、高駆動電流用の改良したポケット注入プロセスを有する構造体を用意することが望ましい。また、ドレイン拡張領域の十分に低いゲートオーバーラップを有する低寄生抵抗を含むドレイン拡張領域を形成するために適度のドレイン拡張注入エネルギーの使用を考慮した構造体を有することが望まれている。

**【0005】**

**【課題を解決するための手段】** トランジスタ及びエッジ阻止材料を使用してトランジスタを形成する方法を本願において開示する。このエッジ阻止材料はゲートまたは可処分ゲートに隣接して配置し得るか、またはゲート或いは可処分ゲートの一部分であって良い。角度を付けたポケット注入の際に、このエッジ阻止材料はドーパントの注入範囲を半導体本体中のそれよりも低く制限し、エッジ阻止材料の下方に位置するドーパントは部分的に半導体本体の表面の下方の所定の距離に位置している。エッジ阻止材料はその一部分が、ゲート電極を貫通する角度を付けたポケット注入の一部分を半導体本の下方向にあるチャネル領域に制限する。

**【0006】** この発明の利点は、短チャネル効果を低減すると同様に、チャネル表面の下方にピークのドーピングを有して配置されるポケットを含むこと及び／又はドレイン拡張領域内部からチャネル領域への横方向広がり低減されたチャネル表面で高濃度のポケットドーピングを含むことによる改良した表面移動度を有するトランジスタを提供することにある。

**【0007】** この発明の別の利点は、低減したゲート・ドレイン間及びゲート・ソース間の容量を有するトランジスタを提供することにある。

**【0008】** この発明の別の利点は、洗浄プロセスに対して比較的に非鋭敏である側壁スペーサを用いてトランジスタを形成する方法を提供することにある。

**【0009】** 前記及び他の利点は図面と関連して本明細書を参照することによって、当業者には明瞭となろう。

**【0010】**

【発明の実施の形態】ここで、この発明をCMOSプロセスを使用して10分の1ミクロンのn型トランジスタに関連して説明することとする。この発明の有益性は

(NMOS及びPMOSは勿論のこと)他のCMOSプロセス、及びトランジスタ寸法に応用し得ることは当業者にとって明瞭であろう。この発明は導電型を逆にすることによってp型トランジスタに応用できることも当業者にとって明瞭であろう。

【0011】この発明の第1の実施例を図1に示す。トランジスタ30はp型基板10に設けられている。基板10は基板上に形成したp型エピタキシャル層、または基板或いはエピタキシャル層中に形成したp型ウェル領域に代替的に関連し得る。トランジスタ30は素子分離領域12によって他の素子(図示せず)とは絶縁分離している。素子分離領域にはフィールド酸化層として示されている。しかしながら、狭いトレンチ型素子分離等の他の型式の素子分離もまた使用することができる。領域16はドレイン拡張領域として一般に称する高濃度にドーピングした領域(n型)である。トランジスタ30はまた深いレベルのソース/ドレイン領域14も備え得る。以下において更に説明するように、トランジスタ30は付加的にまたは代替的にライズド・ソース/ドレイン領域(raised source/drain regions)を備え得る。

【0012】ポケット領域18はドレイン拡張領域16とは反対にドーピングされる。n型トランジスタの場合、領域18はp型である。ポケット領域18のピーク濃度は基板10の表面から可成りの広がりをもって一定の距離を置いており及び/又はドレイン拡張領域内部からチャンネル領域に広がっているチャンネル表面での高濃度ポケットの横方向の広がりはいずれから説明するように低減される。こうして、伝統的なポケット領域の有益性、即ち、低減したしきい値電圧ロールオフ、低減した公称値 $V_t$ 、及び改良した公称駆動電流値が維持される。また、従来型ポケットの欠点、即ち、チャンネル表面に近い大きな横方向広がりを覆う高められたドーパント濃度に起因する強化されたドーパント散乱は可成り低減される。ポケット領域18は表面にて可成りの横方向の程度までピーク濃度を有しておらず及び/又は基板の表面から一定の距離を置いているので、チャンネルの表面のドーパント濃度は、従来のトランジスタを形成する各方法に比してポケットによって可成り高められることはない。

【0013】ゲート電極22はゲート誘電体20上に位置している。このゲート誘電体20は技術上周知の任意の適切なゲート誘電体であって良い。一般に、ゲート誘電体20は酸化物を備えることとなる。ゲート電極22は、ポリシリコン、シリサイド、金属、またはこれらの組合せ等の導電性材料を備えている。

【0014】10から25nmの厚さであることが好ましい薄い側壁スペーサ24は、ゲート電極22の各側壁

上に位置している。このスペーサ24は、ドーパントの注入範囲を低減して、角度を付けた注入の際にドーパントがスペーサ24の下方の基板10の表面に達するのを防止したり及び/又は角度を付けた注入の際にドレイン拡張エッジの内部から基板10の表面のチャンネルまでドーパントが横方向に広がるのを低減する材料または材料の合成物を備えている。スペーサ24用に選択した材料は下地の基板よりも小さな注入範囲を有すると共に、部分的にシリコン窒化物またはシリコン炭化物を含み得る。また、シリコン窒化物及びシリコン炭化物は、被着した酸化物のような他の材料に比べて標準的な湿式化学的洗浄または除去プロセスによってその膜厚が可成り低減されることのない材料である。

【0015】ここで、この発明の第1の実施例を形成する方法について説明する。基板10は、技術上周知である素子分離領域12の形成及び任意の適切な注入それにしきい値調整注入を通して処理される。

【0016】図2Aについて説明すると、ゲート構造体32を基板10上に形成する。このゲート構造体32は、技術上周知であるゲート電極及びゲート誘電体または可処分ゲート構造体を備え得る。ゲート電極及び誘電体が(有効ゲートとは対照的に)この時点で形成される場合、ゲート誘電体はより小型( $\sim 0.1\mu m$ )のトランジスタ用の遠隔プラズマ窒化酸化物であって良い。他の適切なゲート誘電体材料は遠隔プラズマ窒化以外の手段による酸化物または窒化酸化物を含んでいる。ゲートバターニング/エッチングは、線幅低減エッチングを用いたディープUV表面結像リソグラフィ(deep UV surface imaging lithography)によって行って、短いゲート長を得ることができる。

【0017】次いで、ゲート構造体32の各側壁上に薄い側壁スペーサ24を形成する。この側壁スペーサ24の形成に先立って、ゲート側壁再酸化プロセスの際に3から6nmの厚さの薄い熱酸化物を形成して、下地のゲート酸化物に対する如何なるゲートエッチングダメージをも部分的に修復するようになし得る。この側壁再酸化からのこの薄い熱酸化物は図2Aには図示していない。同様に、側壁スペーサ24の形成後、如何なる後続の注入プロセスの前にもスクリーン酸化物として所望されれば、約2から3nmまでの厚さの薄い熱酸化物を形成することができる。各スペーサ24は、高濃度にドーピングしたドレイン(HDD: highly doped drain)拡張注入に先立って形成される。このことは、ゲート・ドレイン間容量を低減すべく、またソース及びドレイン領域間に過剰な漏れ電流が流れることなくトランジスタが動作できる最小ゲート長を低減すべく行われる。スペーサ24は阻止材料、好ましくはシリコン窒化物またはシリコン炭化物を備えている。しかしながら、スペーサ24は基板に比して小さい注入範囲を有する任

意の材料を備え得る。この材料は、ドーパントの注入範囲を低減して、後続の角度を付けた注入の際にスペーサ24の下方の基板10の表面にドーパントが達するのを防止したり及び／又は後続の角度を付けた注入の際にドレイン拡張エッジ内部から基板10の表面のチャンネルにドーパントが横方向に拡張するのを低減すべく選択される。シリコン窒化物またはシリコン炭化物をスペーサ24用として使用する別の利点は、後続の浄化またはレジスト除去プロセスの際にスペーサ24の厚さが実質的に減少しないということである。これとは対照的に、現在使用されている酸化物スペーサの厚さはこれらの後続のプロセスによって影響を受けてしまう。トランジスタがより小さな寸法にと縮小化し続けるにつれて、スペーサの膜厚における僅かな変動または制御し得ない低減はトランジスタ特性に多大な影響を与えている。

【0018】図2Bについて説明すると、NMOS及びPMOS HDD注入が行われる（PMOS HDD領域は図示していない）。10keVから20keVでヒ素（n型）またはBF<sub>2</sub>（p型）を低減したエネルギーで注入することが好ましい。（低いダイオード漏れ電流用の低エネルギーSb、非カウンタードーピング注入等の）プレアモルファス化注入をより狭い接合用のPMOS HDD注入に先立って利用することができる。HDD注入は角度を付けないものとして示される。しかし角度を付けたHDD注入も当然可能である。（10keV未満等の）十分に低減したエネルギーでのHDD注入に対して、ゲート・ソース及びゲート・ドレイン間の容量を受容できるとすれば、HDD注入をスペーサ24に先立って行うことができるのはあり得る。BF<sub>2</sub>又はヒ素に対する代表的なHDD注入ドーズ量は $2 \times 10^{14} \sim 1.2 \times 10^{15} / \text{cm}^2$ の範囲にある。

【0019】次に、図2Cに示すように、（HDD注入とは反対の導電型の）角度を付けたポケット注入を行い、次いで構造体を急速熱アニール（RTA: rapid thermal anneal）に晒すことができる。BF<sub>2</sub>及びインジウム（In）のような他のポケット注入種はエネルギー的にこれらの種の大部分に部分的に依存する適切な変更と共に使用することができるが、15から45度の注入角度でのホウ素（B）用の10から20keVの注入エネルギーがNMOSポケット注入に対して利用されることが好ましい。例えば、インジウムは60から170keVのエネルギーで注入することができる。各々の角度を付けたポケット注入の注入ドーズ量は $5 \times 10^{12} \sim 1.5 \times 10^{13} / \text{cm}^2$ の範囲にある。As及びSbのような他のポケット注入種はエネルギー的にこれらの種の大部分に部分的に依存する適切な変更と共に使用することができるが、15から45度の注入角度でのP用の30から70keVの注入エネルギーがPMOSポケット注入に対して利用されることが好ましい。例えば、Sb（またはAs）は60から180

keVのエネルギーで注入することができる。角度を付けたポケット注入のおのおのに対する注入ドーズ量は $6 \times 10^{12} \sim 1.7 \times 10^{13} / \text{cm}^2$ であることができる。各スペーサ24はドーパントの注入範囲を低減して、ドーパントが基板10の表面に達するのを防止したり及び／又は角度を付けたポケット注入の際にドレイン拡張エッジ内部から基板10の表面のチャンネルまでポケットドーパントが横方向に広がるのを低減する。ドーパントは注入の角度付けに起因して各スペーサ24の下方にある。基板の表面の下方の20から80nmのオーダーのポケット注入範囲の距離が望まれる。HDD注入及びポケット注入の順序は必要があれば逆にすることができることに留意されたい。

【0020】次に、第2の側壁スペーサ34を形成し、必要があれば注入したりアニールしたりする深いソース／ドレイン領域14を引き続いて形成する。代替的にまたは付加的に、図3に示すように、ライズド・ソース／ドレイン領域36をこの時点で形成することができる。ライズド・ソース／ドレイン領域を形成する方法は技術上既知である。例えば、ライズド・ソース／ドレイン領域36は選択的エピタキシャル成長によって形成することができる。次いで、必要ならば、ライズド・ソース／ドレイン領域に注入し、アニールすることができる。また必要であれば、ソース／ドレイン及び／又はゲート領域に渡る後続のサリシデーション（Salicidation）または金属クラディングを行うことができる。また、誘電体層をソース／ドレイン拡張領域を覆ってまたはもし存在すればライズド・ソース／ドレイン領域を覆って形成することができる。この誘電体層を平坦化してゲート構造体32の頂部を露出させて、この可処分ゲート構造体32を除去し、ゲート誘電体20及び電極22と置換するようになることができる。次いで、技術上周知の従来のバックエンド処理を利用して、装置の製造を完了することができる。

【0021】この発明の第2の実施例を図4に示す。トランジスタ40はp型基板10中に位置している。基板10は代替的に基板上に形成したp型エピタキシャル層、または基板或いはエピタキシャル層に形成したp型ウェル領域に関連し得る。トランジスタ40は素子分離領域12によって他の素子（図示せず）とは絶縁分離している。この素子分離領域12はフィールド酸化物領域として示されている。しかしながら、狭いトレンチ型素子分離等の他の型式の素子分離も使用することができる。領域16はしばしばドレイン拡張領域と称される高濃度にドーブした領域（n型）である。トランジスタ40はまた深いソース／ドレイン領域（図示せず）を含むことができる。トランジスタ40はライズド・ソース／ドレイン領域36を備えている。

【0022】ポケット領域18はドレイン拡張領域16とは反対導電型にドーブされる。n型トランジスタの場合

合、領域18はp型である。後で説明するように、ポケット領域18のピーク濃度は基板10の表面から相当の広がりをもって一定の距離を置いたり及び／又はドレイン拡張領域内部からチャネル領域に広がっているチャネル表面の高いポケットの濃度は低減される。こうして、伝統的なポケット領域の有益性、即ち、低減したしきい値電圧のロールオフ、低減した公称値 $V_t$ 、及び改良した公称駆動電流は維持される。また、従来のポケットの欠点、即ち、チャネル表面近くの大きな横方向の広がりを覆う高められたドーパント濃度に起因する強化されたドーパント散乱は可成り低減される。ポケット領域18は表面の可成りの横方向の広がりにまではピーク濃度を有せず及び／又は基板の表面から離隔しているので、チャネルの表面のドーパント濃度は、トランジスタを形成する従来の方法に比してポケットによって可成り高められることはない。

【0023】ゲート電極22はゲート誘電体20上に位置している。このゲート誘電体20は技術上既知の任意の適切なゲート誘電体であって良い。一般に、ゲート誘電体20は酸化物を備えることとなる。ゲート電極22はポリシリコン、シリサイド、金属、またはこれらの組合せを備えている。

【0024】ここで、この発明の第2の実施例を形成する方法について説明する。基板10は技術上周知である素子分離領域12の形成及び適切な注入それにしきい値調整注入を通して処理される。

【0025】図5Aについて説明すると、基板10上に可処分ゲート構造32を形成する。この可処分ゲート構造32は例えば上層に非酸化物材料を有する薄い酸化物を備え得る。上層の非酸化物材料は阻止材料であり、シリコン窒化物またはシリコン炭化物であることが好ましい。しかしながら、この非酸化物材料は基板よりも小さな注入領域を有する任意の材料を備え得る。この材料は、ドーパントの注入範囲を低減して、後続の角度を付けた注入の際に可処分ゲート構造体32の下方の基板10の表面にドーパントが達するのを防止し及び／又は後続の角度を付けた注入の際にドレイン拡張エッジ内部から基板10の表面のチャネル12までドーパントが横方向に広がるのを低減すべく選択される。

【0026】また、図5Aについて説明すると、NMO S及びPMOS HDD注入が行われる（このPMOS HDD領域は図示していない）。10keV以下のヒ素（n型）またはBF<sub>2</sub>（p型）の低減したエネルギー注入を使用することが好ましい。（低ダイオード漏れ電流用の低エネルギーSb、非カウンタードーピング注入等の）ブレアモルファス化注入をより狭い接合用のPMOS HDD注入に先立って利用することができる。HDD注入は角度を付けないものとして例示した。しかしながら、必要であれば、角度を付けたHDD注入を使用することができる。BF<sub>2</sub>又はヒ素用の代表的HDD

注入ドーズ量は $2 \times 10^{14} \sim 1.2 \times 10^{15} / \text{cm}^2$ の範囲にある。

【0027】次に、図5Bに示すように、（HDD注入とは反対導電性の）角度を付けた注入を行い、次いで構造体を急速熱アニール（RTA）に晒すことができる。BF<sub>2</sub>及びインジウムのような他のポケット注入種はエネルギー的にこれらの種の大部分に部分的に依存する適切な変更と共に使用することができるが、15から45度の注入角度でのホウ素（B）用の10から20keVの注入エネルギーをNMOSポケット注入に対して利用することが好ましい。例えば、インジウムは60から170keVのエネルギーでインジウムを注入することができる。角度を付けたポケット注入のおのおのに対する注入ドーズ量は $5 \times 10^{12} \sim 1.5 \times 10^{13} / \text{cm}^2$ の範囲であり得る。As及びSbのような他のポケット注入種はエネルギー的にこれらの種の大部分に部分的に依存する適切な変更と共に使用することができるが、15から45度の注入角度でのリン（P）用の30から70keVの注入エネルギーをPMOSポケットに対して利用することが好ましい。例えば、Sb（またはAs）は60から180keVのエネルギーで注入することができる。角度を付けたポケット注入のおのおのに対する注入ドーズ量は $6 \times 10^{12} \sim 1.7 \times 10^{13} / \text{cm}^2$ の範囲であり得る。可処分ゲート構造体32の阻止層はドーパントの注入範囲を低減して、基板10の表面にドーパントが達するのを防止し及び／又は角度を付けたポケット注入の際にドレイン拡張エッジ内部から基板10の表面のチャネルまでポケットドーパントが横方向に広がるのを低減する。ドーパントは注入の位置合せに起因して可処分ゲート構造体32の下方にある。基板の表面の下方の20から80nmのオーダーの注入範囲距離が望まれている。HDD注入及びポケット注入の順序はもし必要ならば逆にできることに留意されたい。

【0028】図5Cについて説明すると、ライズド・ソース／ドレイン領域36を形成する。ライズド・ソース／ドレイン領域を形成する方法は技術上既知である。例えば、ライズド・ソース／ドレイン領域は選択的エピタキシャルによって形成することができる。ライズド・ソース／ドレイン領域32を形成した後、上層の誘電体層38を被着し、可処分ゲート32と共に平坦化する。次いで、可処分ゲート32を除去し、ゲート誘電体20及びゲート電極22と置換する。

【0029】以上、この発明を例示的实施例を参照して説明したが、この説明は限定的な意味に解釈すべきものと意図されてはいない。この発明の他の実施例は勿論のこと、例示的实施例の種々の修正及び組合せはこの説明を参照すれば当業者には明瞭となろう。従って、特許請求の範囲はこの種の修正または実施例の何れをも達成するものであることを意味している。

【0030】以上の説明に関して更に以下の項を開示す

る。

(1) トランジスタを製造する方法において、半導体本体上に注入阻止構造体を形成する段階であって、前記注入阻止構造体がゲート電極を形成すべき場所に隣接する領域を少なくともカバーしてなる前記段階と、前記注入阻止構造体に隣接する前記半導体本体に第1の導電型の第1のドーピング領域を形成する段階と、前記注入阻止構造体の下方に少なくとも部分的にある前記半導体本体の第2の導電型のポケット領域に角度を付けた注入を行って、前記半導体本体にポケットを形成する段階と、を具備したことを特徴とする前記方法。

【0031】(2) 第1項記載の方法において、前記注入阻止構造体はゲート電極に隣接して位置する側壁スペーサであることを特徴とする前記方法。

【0032】(3) 第1項記載の方法において、前記注入阻止構造体は可処分ゲートに隣接して形成した側壁スペーサであることを特徴とする前記方法。

【0033】(4) 第3項記載の方法において、前記角度を付けた注入段階の後に、前記注入阻止材料に隣接して側壁スペーサを形成する段階と、前記半導体本体中にソース／ドレイン領域を形成する段階と、前記可処分ゲートを除去する段階と、ゲート電極を形成する段階と、を更に具備したことを特徴とする前記方法。

【0034】(5) 第1項記載の方法において、前記注入阻止材料は可処分ゲートの一部であることを特徴とする前記方法。

【0035】(6) 第5項記載の方法において、前記角度を付けた注入段階の後に、前記注入阻止材料に隣接して側壁スペーサを形成する段階と、前期半導体本体中にソース／ドレイン領域を形成する段階と、前記注入阻止材料を含む前記可処分ゲートを除去する段階と、ゲート電極を形成する段階と、を更に具備したことを特徴とする前記方法。

【0036】(7) 第1項記載の方法において、前記注入阻止材料構造はシリコン窒化物を備えたことを特徴とする前記方法。

【0037】(8) 第1項記載の方法において、前記注入阻止構造はシリコン炭化物を備えたことを特徴とする前記方法。

【0038】(9) 半導体本体を覆うゲート電極と、前記ゲート電極に隣接する第1の側壁スペーサであって、前記半導体本体よりも低い注入範囲を有する材料を備えてなる前記第1の側壁スペーサと、前記第1の側壁スペーサに対して一般に位置合せされた前記半導体本体中に

位置する第1の導電型のドレイン拡張領域と、前記第1の側壁スペーサの下方に少なくとも部分的にあると共に、前記半導体本体の表面から一定の距離を保ってピーク濃度を有する第2の導電型のポケット領域と、を具備したことを特徴とするトランジスタ。

【0039】(10) トランジスタ30及びエッジ阻止材料24を使用してトランジスタを形成する方法を本願において開示する。エッジ阻止材料24はゲート22または可処分ゲートに隣接して位置することができるか、または可処分ゲートの一部分であって良い。角度を付けたポケット注入の際、エッジ阻止材料24は多少のドーパントが半導体本体10に侵入することを阻止し、エッジ阻止材料の下方にあるドーパント18は半導体本体10の表面の下方に所定の距離を置いて位置している。

#### 【図面の簡単な説明】

【図1】この発明による、基板の表面の下方から一定の距離を置いたポケット注入及び／又はドレイン拡張領域内部からチャンネル領域までの横方向への広がりを長さが低減されたチャンネル表面の高濃度のポケットドーピングを有するトランジスタの断面図。

【図2】A、B及びCは製造の種々の段階における図1のトランジスタの断面図である。

【図3】この発明による、ライズド・ソース／ドレイン領域を有するトランジスタの断面図である。

【図4】この発明の第2の実施例によるトランジスタの断面図である。

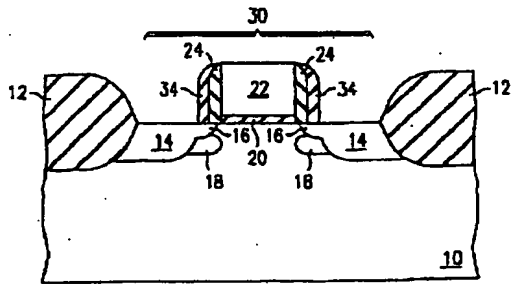
【図5】A、B及びCは製造の種々の段階における図4のトランジスタの断面図である。

#### 【符号の説明】

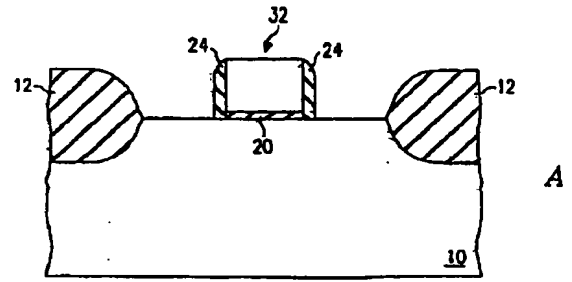
- 10 基板
- 12 素子分離領域
- 14 深いソース／ドレイン領域
- 16 ドレイン拡張領域
- 18 ポケット領域
- 20 ゲート誘電体
- 22 ゲート電極
- 24 側壁スペーサ
- 30 トランジスタ
- 32 可処分ゲート構造体
- 34 第2の側壁スペーサ
- 36 ライズド・ソース／ドレイン領域
- 38 上層の誘電体層
- 40 トランジスタ



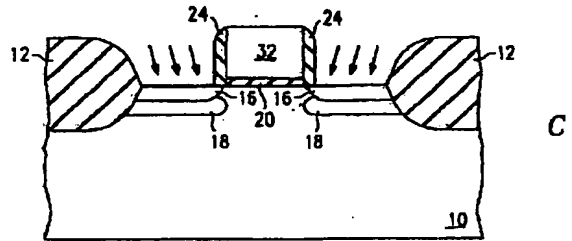
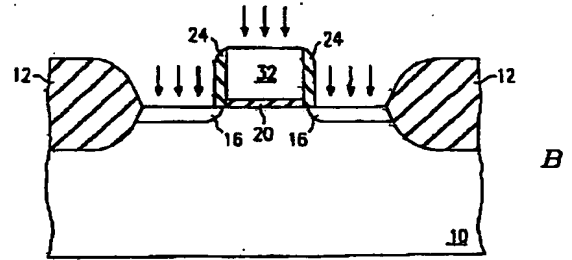
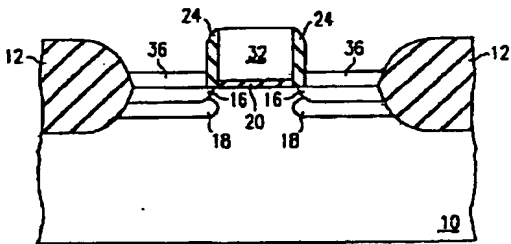
【図 1】



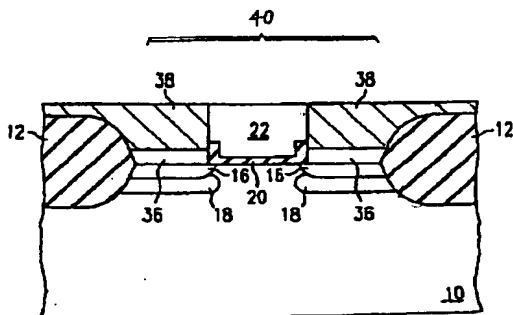
【図 2】



【図 3】



【図 4】



【図 5】

